



Scan Engineering Telecom SPb

Аппаратная платформа для FPGA модулей «Core-0»

Руководство пользователя

Версия 1.0



Код документа: UG-FPGA-00-CORE-0
Дата сборки: 27 августа 2015 г.
Листов в документе: 22

© 2015, ООО «Скан Инжиниринг Телеком - СПб»
<http://www.setdsp.ru>

Содержание

Перечень рисунков	3
Перечень таблиц	3
Перечень сокращений и условных обозначений	4
1 Введение	6
2 Структура	10
2.1 Схема тактирования	10
2.2 Схема сброса	10
2.3 Инфраструктура IP-ядер «Микропроцессорная система на MicroBlaze»	10
2.4 Инфраструктура IP-ядер «Поддержка PCI Express»	10
2.5 Карта памяти	11
2.6 Таблица векторов прерываний	15
3 Применение	17
Приложение А: Список поддерживаемых FPGA модулей	18
Приложение Б: Список IP-ядер, входящих в состав платформы	20
Приложение В: Занимаемые ресурсы в FPGA микросхеме	21
Список литературы	22

Перечень рисунков

1-1	Структурная схема верхнего уровня и местоположение аппаратной платформы «Core-0»	7
1-2	Структурная схема «Микропроцессорная система на MicroBlaze»	8
1-3	Структурная схема «Поддержка PCI Express»	9

Перечень таблиц

2-1	Карта памяти аппаратной платформы «Core-0» для FPGA модулей на базе семейства Virtex-7	11
2-2	Карта памяти аппаратной платформы «Core-0» для FPGA модулей на базе семейства Virtex-6	12
2-3	Карта памяти SDRAM DDR (User RAM и System RAM) аппаратной платформы «Core-0» для FPGA модулей	13
2-4	Карта трансляции входящих запросов со стороны пространства PCI Express	15
2-5	Карта трансляции исходящих запросов в сторону пространства PCI Express (IP-ядро «Конвертер протоколов AXI и PCI Express»)	15
2-6	Карта трансляции исходящих запросов в сторону пространства PCI Express (IP-ядро «LogiCORE IP AXI Bridge for PCI Express»)	15
2-7	Таблица векторов прерываний	15
A-1	Аппаратная платформа «Core-0». Список поддерживаемых FPGA модулей	18
Б-1	Список инфраструктур IP-ядер, входящих в состав аппаратной платформы «Core-0»	20
В-1	Ресурсы для инфраструктур IP-ядер, входящих в состав аппаратной платформы «Core-0»	21

Перечень сокращений и условных обозначений

AXI4	Advanced eXtensible Interface 4 – Memory Mapped Type	7, 10, 15, 17
AXI	Advanced eXtensible Interface	3, 6, 10, 15
BAR	Base Address Register	15
BRAM	Block Random Access Memory	6, 11, 12
BSP	Board Support Package	17
CDMA	Central Direct Memory Access	7, 11, 12, 16
DDR	Double Data Rate	3, 6, 7, 10–15
DMA	Direct Memory Access	7
FMC	FPGA Mezzanine Card	5
FPGA	Field-Programmable Gate Array	2–7, 10–13, 15, 17–21
IP	Intellectual Property	2, 3, 6, 10–17, 20, 21
JTAG	Joint Test Action Group	6
MBS	Microprocessor Based System	4, 6, 20, 21
MBS on MB	Microprocessor Based System on MicroBlaze	6, 7, 10–17, 20, 21
MB	MicroBlaze	4, 6, 20, 21
MDM	MicroBlaze Debug Module	11, 12, 15
MSI	Message Signaled Interrupts	7
PCIe	PCI Express	2, 3, 5–7, 9–16, 20, 21
PCI	Peripheral Component Interconnect	2–7, 9–16, 20, 21
PLL	Phase Locked Loop controller	10
RAM	Random Access Memory	3, 11–15
ROM	Read-Only Memory	11, 12, 16
SDRAM	Synchronous Dynamic Random Access Memory	3, 6, 7, 10–15
SPI	Serial Peripheral Interface	11, 16
ЗАО	Закрытое Акционерное Общество	5, 6, 10, 17

Общие сведения

Данный документ описывает «Аппаратную платформу для FPGA модулей „Core-0“», предлагаемую пользователям FPGA модулей производства ЗАО «Скан Инжиниринг Телеком» в качестве структуры, предназначенной для организации собственных аппаратных платформ, рассчитанных на самостоятельную работу FPGA модуля без установки на него FMC (FPGA Mezzanine Card) модуля, с поддержкой технологии PCI Express.

Изложенный в данном документе материал относится к ряду FPGA модулям производства ЗАО «Скан Инжиниринг Телеком», спроектированным на базе FPGA семейства Virtex-6 и Virtex-7 фирмы Xilinx. С полным перечнем поддерживаемых FPGA модулей можно ознакомиться в приложении [A](#).

1 Введение

«Аппаратная платформа для FPGA модулей „Core-0“» (далее сокращенно «Core-0») является структурным решением для FPGA микросхем, предназначенным для построения функционально законченных аппаратных платформ пользователей, способных эффективно использовать заложенные в FPGA модули производства ЗАО «Скан Инжиниринг Телеком» схемотехнические решения.

В основе аппаратной платформы «Core-0» лежит объединение в одно структурное решение двух инфраструктур IP-ядер, включаемых в состав «Core-0»:

- «Микропроцессорная система на MicroBlaze», с кратким описанием можно ознакомиться в документе [1];
- «Поддержка PCI Express», с кратким описанием можно ознакомиться в документе [2].

Излагаемый в данном документе материал тесно связан с материалами, изложенными в соответствующих эксплуатационных документах, относящихся к описанию работы инфраструктур IP-ядер, включаемых в состав «Core-0». По тексту данного документа, в зависимости от контекста, будут встречаться ссылки на разделы соответствующих эксплуатационных документов.

На рисунке 1-1 показана структурная схема верхнего уровня и местоположение аппаратной платформы «Core-0» в составе FPGA модулей производства ЗАО «Скан Инжиниринг Телеком». Данная структурная схема носит общий характер, отображает состав аппаратной платформы в виде используемых инфраструктур IP-ядер и их связей, а так же внешние, по отношению к FPGA микросхеме, связи с устройствами и интерфейсами, расположенными на FPGA-модуле.

С целью раскрытия состава внутренних и внешних связей между составными частями аппаратной платформы «Core-0», на рисунках 1-2, 1-3 данного документа приведены соответствующие структурные схемы входящих в состав «Core-0» инфраструктур IP-ядер:

- на рисунке 1-2 показана структурная схема и местоположение в составе FPGA модулей инфраструктуры «Микропроцессорная система на MicroBlaze»;
- на рисунке 1-3 показана структурная схема инфраструктуры «Поддержка PCI Express».

Изображённая на рисунке 1-2 структурная схема и местоположение в составе FPGA модулей инфраструктуры IP-ядер «Микропроцессорная система на MicroBlaze» (сокращенно MBS on MB (Microprocessor Based System on MicroBlaze)) используется в составе аппаратной платформы «Core-0» только в той части, которая касается непосредственно самой структуры «MBS on MB», отмеченной на рисунке в виде блока с названием «Infrastructure IP-Cores MBS on MB». Другой блок, изображенный на этом рисунке и носящий название «Infrastructures, User and Standard Xilinx IP Cores» не входит в состав аппаратной платформы «Core-0». На данном рисунке этот блок носит информационный характер и показывает, какого типа IP-ядра и инфраструктуры IP-ядер могут быть подключены к «MBS on MB» и потенциально могут включаться пользователем в состав аппаратной платформы, которую он может самостоятельно разработать на базе «Core-0».

Функциональные возможности, заложенные в аппаратную платформу «Core-0», объединяют в себе все возможности входящих в нее инфраструктур IP-ядер. Более подробно с возможностями каждой из инфраструктур IP-ядер можно ознакомиться в разделе «Введение» соответствующих им эксплуатационных документов, для «MBS on MB» это документ [3], для «Поддержка PCI Express» это документ [4].

В общем виде, функциональные возможности аппаратной платформы «Core-0» выглядят следующим образом:

- наличие системы на базе микропроцессорного ядра MicroBlaze с поддержкой возможности отладки исполняемого кода через интерфейс JTAG и поддержкой системы прерываний;
- размещение и исполнение двоичного кода ядром MicroBlaze из статической памяти типа BRAM или динамической памяти типа SDRAM DDR (на схеме System RAM);
- обеспечены работы микропроцессорного ядра MicroBlaze с динамической памятью типа SDRAM DDR через кеш-контроллер;
- сохранение и загрузка исполняемого двоичного кода для микропроцессорного ядра MicroBlaze из энергонезависимой памяти типа Flash;
- организация консольного интерфейса на базе порта ввода/вывода типа RS-232;
- доступ к блокам светодиодных индикаторов и внешних переключателей;
- поддержка аппаратного таймера, который может стать основой для решения ряда периодически повторяющихся задач;
- обеспечение присутствия нескольких шин AXI (Advanced eXtensible Interface), предназначенных для подключения дополнительных, необходимых пользователю IP-ядер или инфраструктур IP-ядер;
- обеспечение дополнительной памятью SDRAM DDR (на схеме User RAM), предназначенной для размещения данных пользователя;

- осуществление обмена данными через шину PCIe, в режиме работы аппаратного контроллера PCIe FPGA микросхемы в качестве PCI Express устройства, типа «Endpoint»;
- осуществление переноса данных между устройствами, подключенными к AXI4 (Advanced eXtensible Interface 4 – Memory Mapped Type) коммутаторам №3 и №4 MBS on MB, в режиме DMA;
- организация схемы сброса всех устройств, входящих в состав аппаратной платформы «Core-0», при фиксации аппаратным контроллером PCIe распространяемого по шине PCIe сигнала «Hot Reset»;
- организация дополнительной схемы генерации сигнала сброса;
- организация схемы контроля за состоянием готовности к работе контроллеров памяти SDRAM DDR;
- организация контуров обработки прерываний от контроллеров PCIe, CDMA и «Сервисные регистры» микропроцессорным ядром MicroBlaze;
- генерация MSI прерываний от PCI Express устройства типа «Endpoint» к устройству типа «Root Complex».

«Scan Engineering Telecom» FPGA Board

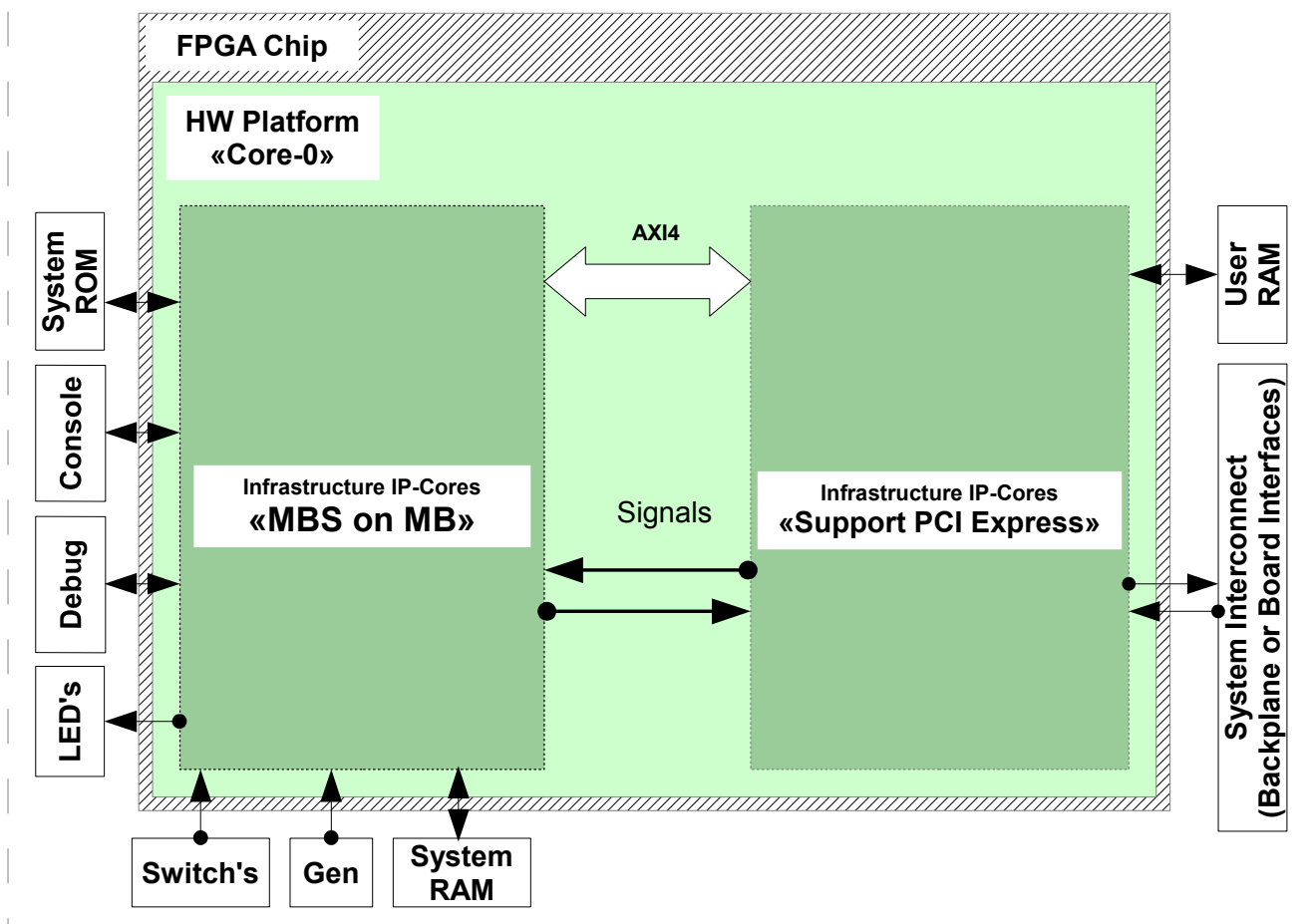


Рисунок 1-1: Структурная схема верхнего уровня и местоположение аппаратной платформы «Core-0»

«Scan Engineering Telecom» FPGA Board

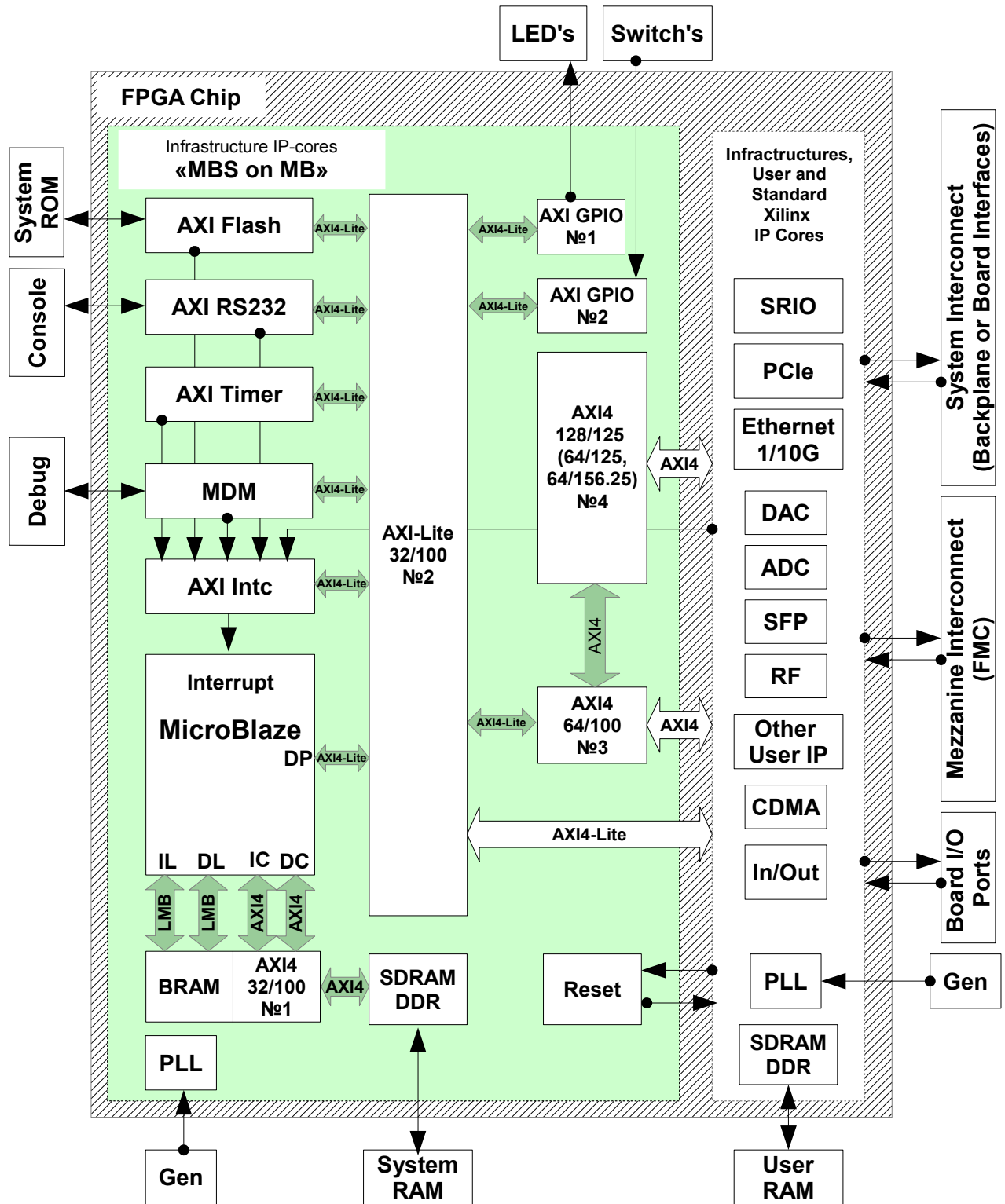


Рисунок 1-2: Структурная схема «Микропроцессорная система на MicroBlaze»

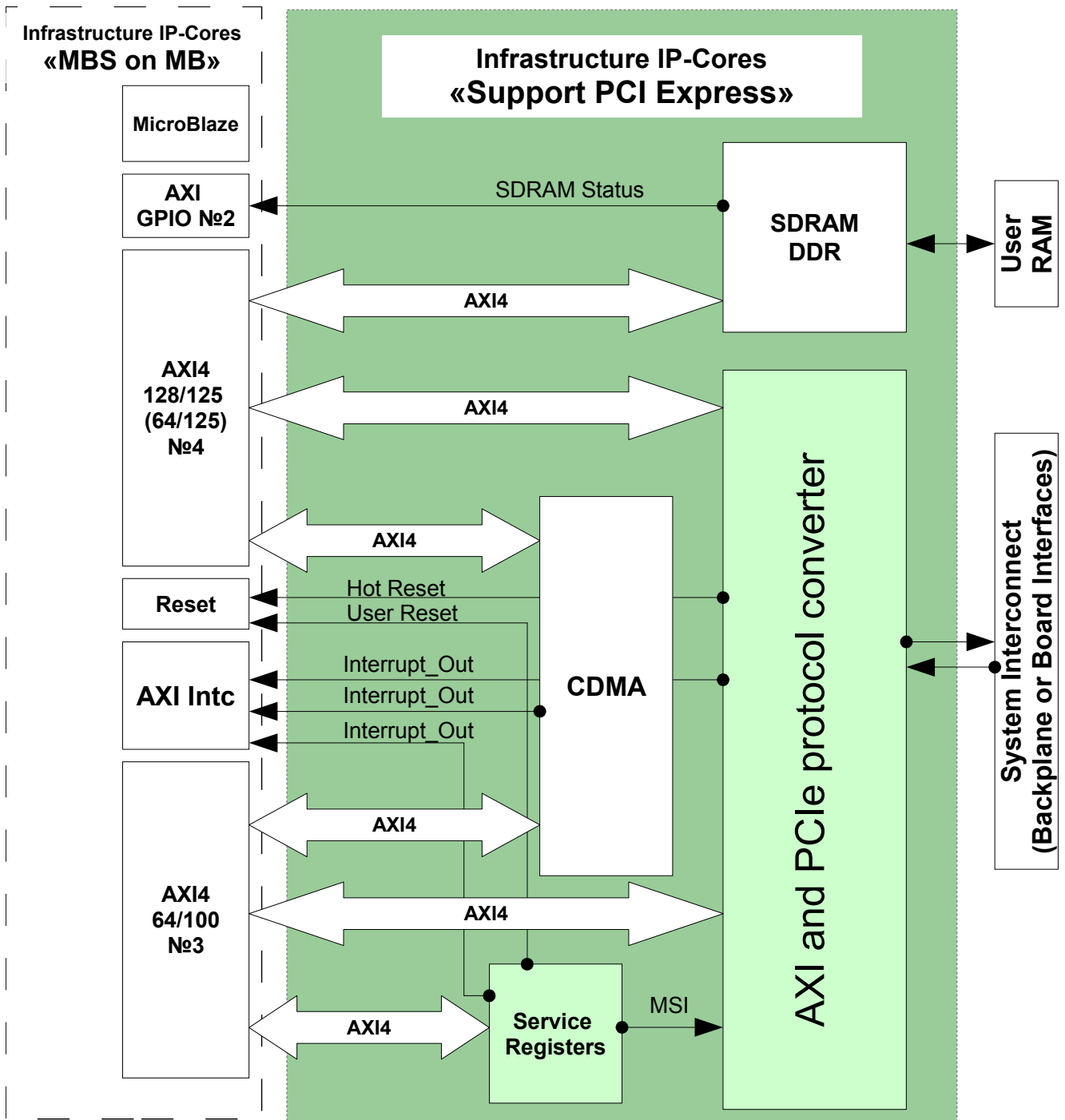


Рисунок 1-3: Структурная схема «Поддержка PCI Express»

2 Структура

2.1 Схема тактирования

Основой схемы тактирования аппаратной платформы «Core-0» является внешний задающий генератор, расположенный на печатной плате FPGA модуля и подключенный к одной из внутренних PLL (Phase Locked Loop controller) схем FPGA микросхемы.

2.2 Схема сброса

Схема сброса аппаратной платформы «Core-0» формируется по принципу объединения в одну общую шину всех линий сигналов сброса от всех IP-ядер, входящих в состав аппаратной платформы. Основной схемой распространения сигнала сброса на общую шину выступает схема, включенная в состав «MBS on MB». Схема имеет несколько источников сигнала сброса. Источники сигнала сброса для этой схемы могут быть следующие:

- внутренний, по отношению к схеме источник. Сигнал сброса от данного источника формируется автоматически всего один раз, когда начинает свою работу аппаратная платформа «Core-0» после ее загрузки в FPGA микросхему из «Platform Flash»;
- внешний, по отношению к схеме источник, реализующий сигнал сброса через подключенный к схеме соответствующий вывод интегрированного в FPGA микросхему аппаратного контроллера PCIe (PCI Express). В этом случае, аппаратный контроллер PCIe фиксирует сигнал сброса, распространяемый по PCI Express системе в специальном пакете «Hot Reset», и транслирует этот сигнал на соответствующий свой вывод;
- внешний, по отношению к схеме источник. Сигнал сброса транслируется в схему через подключенный к ней вывод IP-ядра «Сервисные регистры». Использование данного источника сигнала сброса позволяет осуществить сброс всех IP-ядер, за исключением распространения сигнала сброса на аппаратный контроллер PCIe, программным способом, путем установки значения в единицу соответствующего бита в регистре «RST_Req» IP-ядра «Сервисные регистры».

2.3 Инфраструктура IP-ядер «Микропроцессорная система на MicroBlaze»

Структурная схема аппаратной платформы «Core-0» полностью включает в себя представленную на рисунке 1-2 структурную схему инфраструктуры IP-ядер «MBS on MB», описанную в разделе «Структура» документа [3].

Интерфейсные AXI4 коммутаторы №3 и №4 используются для подключения к ним инфраструктуры IP-ядер «Поддержка PCI Express».

В зависимости от используемого FPGA модуля, производительность AXI4 коммутатора №4 разная. Для модулей с установленной на них FPGA микросхемой Virtex-6 коммутатор №4 имеет разрядность 64 бита и работает на частоте 200 МГц, для модуля с Virtex-7 коммутатор №4 имеет разрядность 128 бит и работает на частоте 125 МГц.

Объем используемой SDRAM DDR памяти для организации блока памяти «System RAM» зависит от конкретной марки FPGA модуля и от размеров установленного на него банков памяти. Соответствие размера блока памяти «System RAM» и марки FPGA модуля приведено в таблице 2-3.

Перечень устройств, подключенных к аппаратному контроллеру прерываний «AXI Intc» и номера соответствующих векторов прерываний приведен в таблице 2-7.

2.4 Инфраструктура IP-ядер «Поддержка PCI Express»

Структурная схема аппаратной платформы «Core-0» полностью включает в себя представленную на рисунке 1-3 структурную схему «Поддержка PCI Express», описанную в разделе «Структура» документа [4].

Для FPGA модулей с установленной на них FPGA микросхемой Virtex-6 режим подключения аппаратного контроллера PCIe к шине PCI Express соответствует x4, версии PCIe 1.0, для модулей с Virtex-7 x4, версии PCIe 2.0.

В зависимости от используемого FPGA модуля, IP-ядро поддержки блока аппаратного контроллера PCIe микросхемы FPGA, названное на рисунке 1-3 «AXI and PCIe protocol converter» может быть разным. Для модулей с установленной на них FPGA микросхемой Virtex-6 используется IP-ядро «LogiCORE IP AXI Bridge for PCI Express» производства Xilinx, для модулей с Virtex-7 используется IP-ядро «Конвертер протоколов AXI и PCI Express» (см. документ [5]) производства ЗАО «Скан Инжиниринг Телеком».

Объем используемой SDRAM DDR памяти для организации блока памяти «User RAM» зависит от конкретной марки FPGA модуля и от размеров установленного на него банков памяти. Соответствие размера блока памяти «User RAM» и марки FPGA модуля приведено в таблице 2-3.

2.5 Карта памяти

Карта памяти аппаратной платформы «Core-0» разбита на две части:

- карта памяти адресного пространства микропроцессора MicroBlaze;
- карта трансляции адресного пространства микропроцессора MicroBlaze в адресное пространство PCI Express.

2.5.1 Пространство MicroBlaze

Карта памяти адресного пространства микропроцессора MicroBlaze представляет собой доработанную карту памяти адресного пространства инфраструктуры IP-ядер «MBS on MB», описание которой приведено в разделе «Карта памяти» документа [3]. Доработка представляет собой включение в блоки памяти адресного пространства «MBS on MB», отмеченные как «Свободное пространство» (см. таблицу 2-1 и 2-2 документа [3]), блоков памяти соответствующих IP-ядер из состава инфраструктуры IP-ядер «Поддержка PCI Express».

В зависимости от используемого FPGA модуля (семейства Virtex-6 или Virtex-7), карты памяти аппаратной платформы «Core-0» имеют отличия. Различия касаются начальных адресов расположения блоков памяти некоторых IP-ядер, расположенных в инфраструктуре IP-ядер «MBS on MB».

В таблице 2-1 представлена карта памяти для FPGA модулей с установленной на них FPGA микросхемой семейства Virtex-7, в таблице 2-2 для FPGA семейства Virtex-6.

Таблица 2-1: Карта памяти аппаратной платформы «Core-0» для FPGA модулей на базе семейства Virtex-7

Адрес начала	Адрес конца	Размер, байт	Принадлежность	
			Описание	Инфраструктура IP-ядер
0000_0000	0001_FFFF	128 К	Блок памяти BRAM (Bootload RAM)	«MBS on MB»
0002_0000	3FFF_FFFF	1048448 К	Свободное пространство	
4000_0000	4000_FFFF	64 К	Контроллер прерываний	«MBS on MB»
4001_0000	4001_FFFF	64 К	Аппаратный таймер	«MBS on MB»
4002_0000	4002_FFFF	64 К	Светодиодные индикаторы	«MBS on MB»
4003_0000	4003_FFFF	64 К	Внешние переключатели и контроль состояния DDR	«MBS on MB»
4004_0000	410F_FFFF	17152 К	Свободное пространство	
4110_0000	4110_FFFF	64 К	Контроллер SPI флеш-памяти (System ROM)	«MBS on MB»
4111_0000	413F_FFFF	3008 К	Свободное пространство	
4140_0000	4140_0FFF	4 К	Отладчик MicroBlaze Debug Module	«MBS on MB»
4140_1000	415F_FFFF	2044 К	Свободное пространство	
4160_0000	4160_FFFF	64 К	Порт RS-232	«MBS on MB»
4161_0000	6DFF_FFFF	731072 К	Свободное пространство	
6E00_0000	6E00_FFFF	64 К	Контроллер PCIe (регистры конфигурации и статуса)	«Поддержка PCI Express»
6E01_0000	6E01_FFFF	64 К	Сервисные регистры	«Поддержка PCI Express»
6E02_0000	6E02_FFFF	64 К	Контроллер CDMA	«Поддержка PCI Express»
6E03_0000	6FFF_FFFF	731072 К	Свободное пространство	
7000_0000	7FFF_FFFF	256 М	Контроллер PCIe (область трансляции)	«Поддержка PCI Express»

Продолжение таблицы на следующей странице

Продолжение таблицы 2-1

Адрес начала	Адрес конца	Размер, байт	Принадлежность	
			Описание	Инфраструктура IP-ядер
8000_0000	BFFF_FFFF	XXX М	Блок памяти SDRAM DDR (User RAM) и свободные блоки В зависимости от типа FPGA модуля размер блоков памяти могут различаться. Рекомендуемые значения выделенной памяти представлены в таблице 2-3.	«Поддержка PCI Express»
C000_0000	FFFF_FFFF	XXX М	Блок памяти SDRAM DDR (System RAM) и свободные блоки В зависимости от типа FPGA модуля размер блоков памяти могут различаться. Рекомендуемые значения выделенной памяти представлены в таблице 2-3.	«MBS on MB»

Таблица 2-2: Карта памяти аппаратной платформы «Core-0» для FPGA модулей на базе семейства Virtex-6

Адрес начала	Адрес конца	Размер, байт	Принадлежность	
			Описание	Инфраструктура IP-ядер
0000_0000	0000_7FFF	32 К	Блок памяти BRAM (Bootload RAM)	«MBS on MB»
0000_8000	0FFF_FFFF	262112 К	Свободное пространство	
1000_0000	10FF_FFFF	16 М	Контроллер параллельной флеш-памяти (System ROM)	«MBS on MB»
1100_0000	3FFF_FFFF	752 М	Свободное пространство	
4000_0000	4000_FFFF	64 К	Контроллер прерываний	«MBS on MB»
4001_0000	4001_FFFF	64 К	Аппаратный таймер	«MBS on MB»
4002_0000	4011_FFFF	1 М	Свободное пространство	
4012_0000	4012_FFFF	64 К	Светодиодные индикаторы	«MBS on MB»
4013_0000	4013_FFFF	64 К	Внешние переключатели и контроль состояния DDR	«MBS on MB»
4014_0000	413F_FFFF	19200 К	Свободное пространство	
4140_0000	4140_FFFF	64 К	Отладчик MicroBlaze Debug Module	«MBS on MB»
4141_0000	415F_FFFF	1984 К	Свободное пространство	
4160_0000	4160_FFFF	64 К	Порт RS-232	«MBS on MB»
4161_0000	5FFF_FFFF	731072 К	Свободное пространство	
6000_0000	6014_FFFF	896 К	Зарезервировано	
6E00_0000	6E00_FFFF	64 К	Контроллер PCIe (регистры конфигурации и статуса)	«Поддержка PCI Express»
6E01_0000	6E01_FFFF	64 К	Сервисные регистры	«Поддержка PCI Express»
6E02_0000	6E02_FFFF	64 К	Контроллер CDMA	«Поддержка PCI Express»
6E03_0000	6FFF_FFFF	731072 К	Свободное пространство	
7000_0000	7FFF_FFFF	256 М	Контроллер PCIe (область трансляции)	«Поддержка PCI Express»
8000_0000	BFFF_FFFF	XXX М	Блок памяти SDRAM DDR (User RAM) и свободные блоки В зависимости от типа FPGA модуля размер блоков памяти могут различаться. Рекомендуемые значения выделенной памяти представлены в таблице 2-3.	«Поддержка PCI Express»

Продолжение таблицы на следующей странице

Продолжение таблицы 2-2

Адрес начала	Адрес конца	Размер, байт	Принадлежность	
			Описание	Инфраструктура IP-ядер
C000_0000	FFFF_FFFF	XXX М	Блок памяти SDRAM DDR (System RAM) и свободные блоки В зависимости от типа FPGA модуля размер блоков памяти могут различаться. Рекомендуемые значения выделенной памяти представлены в таблице 2-3.	«MBS on MB»

Таблица 2-3: Карта памяти SDRAM DDR (User RAM и System RAM) аппаратной платформы «Core-0» для FPGA модулей

Адрес начала	Адрес конца	Размер	Принадлежность		Модуль	
			Блок памяти SDRAM DDR	Инфраструктура IP-ядер	Память	Название
8000_0000	87FF_FFFF	128 М	User RAM	«Поддержка PCI Express»	512 М	SAMC-713
8800_0000	BFFF_FFFF	896 М	Свободное пространство			
C000_0000	C7FF_FFFF	128 М	System RAM	«MBS on MB»		
C800_0000	FFFF_FFFF	896 М	Свободное пространство		1024 М	
8000_0000	8FFF_FFFF	256 М	User RAM	«Поддержка PCI Express»		
9000_0000	BFFF_FFFF	768 М	Свободное пространство			
C000_0000	CFFF_FFFF	256 М	System RAM	«MBS on MB»	1024 М	
D000_0000	FFFF_FFFF	768 М	Свободное пространство			
8000_0000	87FF_FFFF	128 М	User RAM	«Поддержка PCI Express»		
8800_0000	BFFF_FFFF	896 М	Свободное пространство		512 М	SAMC-715
C000_0000	C7FF_FFFF	128 М	System RAM	«MBS on MB»		
C800_0000	FFFF_FFFF	896 М	Свободное пространство			
8000_0000	8FFF_FFFF	256 М	User RAM	«Поддержка PCI Express»	1024 М	
9000_0000	BFFF_FFFF	768 М	Свободное пространство			
C000_0000	CFFF_FFFF	256 М	System RAM	«MBS on MB»		
D000_0000	FFFF_FFFF	768 М	Свободное пространство		1024 М	
8000_0000	87FF_FFFF	128 М	User RAM	«Поддержка PCI Express»		
8800_0000	BFFF_FFFF	896 М	Свободное пространство			512 М
C000_0000	C7FF_FFFF	128 М	System RAM	«MBS on MB»		
C800_0000	FFFF_FFFF	896 М	Свободное пространство			
8000_0000	8FFF_FFFF	256 М	User RAM	«Поддержка PCI Express»	1024 М	
9000_0000	BFFF_FFFF	768 М	Свободное пространство			
C000_0000	CFFF_FFFF	256 М	System RAM	«MBS on MB»		
D000_0000	FFFF_FFFF	768 М	Свободное пространство		1024 М	

Продолжение таблицы на следующей странице

Продолжение таблицы 2-3

Адрес начала	Адрес конца	Размер	Принадлежность		Модуль		
			Блок памяти SDRAM DDR	Инфраструктура IP-ядер	Память	Название	
8000_0000	87FF_FFFF	128 М	User RAM	«Поддержка PCI Express»	512 М	SVP-713	
8800_0000	BFFF_FFFF	896 М	Свободное пространство				
C000_0000	C7FF_FFFF	128 М	System RAM	«MBS on MB»			
C800_0000	FFFF_FFFF	896 М	Свободное пространство				
8000_0000	8FFF_FFFF	256 М	User RAM	«Поддержка PCI Express»	1024 М		
9000_0000	BFFF_FFFF	768 М	Свободное пространство				
C000_0000	CFFF_FFFF	256 М	System RAM	«MBS on MB»			
D000_0000	FFFF_FFFF	768 М	Свободное пространство				
8000_0000	9FFF_FFFF	512 М	User RAM	«Поддержка PCI Express»	2048 М		
A000_0000	BFFF_FFFF	512 М	Свободное пространство				
C000_0000	DFFF_FFFF	512 М	System RAM	«MBS on MB»			
E000_0000	FFFF_FFFF	512 М	Свободное пространство				
8000_0000	83FF_FFFF	64 М	User RAM	«Поддержка PCI Express»	256 М	SVP-723	
8400_0000	BFFF_FFFF	960 М	Свободное пространство				
C000_0000	C3FF_FFFF	64 М	System RAM	«MBS on MB»			
C400_0000	FFFF_FFFF	960 М	Свободное пространство				
8000_0000	87FF_FFFF	128 М	User RAM	«Поддержка PCI Express»	512 М		
8800_0000	BFFF_FFFF	896 М	Свободное пространство				
C000_0000	C7FF_FFFF	128 М	System RAM	«MBS on MB»			
C800_0000	FFFF_FFFF	896 М	Свободное пространство				
8000_0000	8FFF_FFFF	256 М	User RAM	«Поддержка PCI Express»	1024 М		
9000_0000	BFFF_FFFF	768 М	Свободное пространство				
C000_0000	CFFF_FFFF	256 М	System RAM	«MBS on MB»			
D000_0000	FFFF_FFFF	768 М	Свободное пространство				
8000_0000	87FF_FFFF	128 М	User RAM	«Поддержка PCI Express»	512 М		SVP-726
8800_0000	BFFF_FFFF	896 М	Свободное пространство				
C000_0000	C7FF_FFFF	128 М	System RAM	«MBS on MB»			
C800_0000	FFFF_FFFF	896 М	Свободное пространство				
8000_0000	8FFF_FFFF	256 М	User RAM	«Поддержка PCI Express»	1024 М		
9000_0000	BFFF_FFFF	768 М	Свободное пространство				
C000_0000	CFFF_FFFF	256 М	System RAM	«MBS on MB»			

Продолжение таблицы на следующей странице

Продолжение таблицы 2-3

Адрес начала	Адрес конца	Размер	Принадлежность		Модуль	
			Блок памяти SDRAM DDR	Инфраструктура IP-ядер	Память	Название
D000_0000	FFFF_FFFF	768 М	Свободное пространство		2048 М	
8000_0000	9FFF_FFFF	512 М	User RAM	«Поддержка PCI Express»		
A000_0000	BFFF_FFFF	512 М	Свободное пространство			
C000_0000	DFFF_FFFF	512 М	System RAM	«MBS on MB»		
E000_0000	FFFF_FFFF	512 М	Свободное пространство			

2.5.2 Пространство PCI Express

Карта трансляции адресного пространства микропроцессорного ядра MicroBlaze в адресное пространство PCI Express и обратно охватывает две зоны, зону трансляции входящих со стороны PCI Express системы запросов (BAR (Base Address Register)-ы) и зону исходящих в сторону PCI Express системы запросов.

В зависимости от используемого IP-ядра поддержки блока аппаратного контроллера PCIe микросхемы FPGA, количество и размер регионов памяти для доступа к адресному пространству PCI Express (трансляции исходящих запросов в PCIe) разное, а количество и размер BAR-ов одинаковое. Количество и размер BAR-ов для обоих типов IP-ядер приведено в таблице 2-4. Количество и размер регионов памяти для доступа к адресному пространству PCI Express для IP-ядра «Конвертер протоколов AXI и PCI Express» являются настраиваемыми в процессе работы IP-ядра параметрами и приведены в таблице 2-5, для IP-ядра «LogiCORE IP AXI Bridge for PCI Express» являются жёстко фиксированными параметрами, устанавливаемыми на стадии компиляции IP-ядра и приведены в таблице 2-6.

Таблица 2-4: Карта трансляции входящих запросов со стороны пространства PCI Express

Имя входящего PCIe BAR-а	Размер PCIe BAR-а, байт	Адрес начала блока на AXI4 шине
BAR-0	512 К	6E00_0000
BAR-1	64 М	8000_0000

Таблица 2-5: Карта трансляции исходящих запросов в сторону пространства PCI Express (IP-ядро «Конвертер протоколов AXI и PCI Express»)

Адрес начала блока на AXI4 шине	Общий размер блока, Мбайт	Кол-во исходящих PCIe BAR-ов	Размер одного BAR-а, Мбайт
7000_0000	256	от 1 до 32	1/2/4/8/16/32/64/128

Таблица 2-6: Карта трансляции исходящих запросов в сторону пространства PCI Express (IP-ядро «LogiCORE IP AXI Bridge for PCI Express»)

Адрес начала блока на AXI4 шине	Общий размер блока, Мбайт	Кол-во исходящих PCIe BAR-ов	Размер одного BAR-а, Мбайт
7000_0000	48	6	8

2.6 Таблица векторов прерываний

Таблица 2-7: Таблица векторов прерываний

Номер вектора	Устройство	Принадлежность к инфраструктуре IP-ядер
0	Отладчик MDM (MicroBlaze Debug Module)	«MBS on MB»
1	Порт RS-232	«MBS on MB»
2	Аппаратный таймер	«MBS on MB»
3	Контроллер PCIe (регистры конфигурации и статуса)	«Поддержка PCI Express»
4	Сервисные регистры	«Поддержка PCI Express»

Продолжение таблицы на следующей странице

Продолжение таблицы 2-7

Номер вектора	Устройство	Принадлежность к инфраструктуре IP-ядер
5	Контроллер SPI флеш-памяти (System ROM)	«MBS on MB»
6	Контроллер CDMA	«Поддержка PCI Express»

3 Применение

Предлагаемая потребителям FPGA модулей производства ЗАО «Скан Инжиниринг Телеком» аппаратной платформы «Core-0» может быть использована в процессе разработки пользователем собственной аппаратной платформы для конкретного типа FPGA модулей.

Разработчики компании ЗАО «Скан Инжиниринг Телеком» предварительно подготовили для каждого из поддерживаемых FPGA модулей готовые проекты аппаратной платформы «Core-0». Со списком поддерживаемых FPGA модулей и версий сред разработки проектов можно ознакомиться в таблице [A-1](#). Все проекты поставляются в открытом виде исходных текстов программ.

Пользователь должен взять соответствующий его типу FPGA модуля готовый проект аппаратной платформы «Core-0» и дополнить его необходимыми ему функциональными модулями, подключая их к интерфейсным AXI4 коммутаторам №3 и №4 инфраструктуры IP-ядер «MBS on MB». При необходимости организации контуров прерывания для микропроцессорного ядра MicroBlaze от необходимых пользователю модулей, пользователь должен подключить их линии запроса прерываний к контроллеру прерываний инфраструктуры IP-ядер «MBS on MB».

Организация схем тактирования и сброса необходимых пользователю дополнительных модулей осуществляется пользователем самостоятельно и может быть интегрирована с предлагаемыми решениями инфраструктуры IP-ядер «MBS on MB» в этой части.

Поставка предварительно подготовленных проектов аппаратной платформы «Core-0» осуществляется в составе пакетов программной поддержки BSP, включаемых в комплект поставки приобретаемых FPGA модулей производства ЗАО «Скан Инжиниринг Телеком».

Приложение А Список поддерживаемых FPGA модулей

Таблица А-1: Аппаратная платформа «Core-0». Список поддерживаемых FPGA модулей

Название	FPGA микросхемы Xilinx			Среда разработки	Код заказа
	Семейство	Тип	Порядковый номер		
SAMC-713	Virtex-6	LX130T	1	ISE 14.6	RU.СЖАН.33500-13
		LX195T			RU.СЖАН.33500-14
		LX240T			RU.СЖАН.33500-15
		LX365T			RU.СЖАН.33500-16
		SX315T			RU.СЖАН.33500-17
SAMC-715	Virtex-6	LX130T	1	ISE 14.6	RU.СЖАН.33500-18
		LX195T			RU.СЖАН.33500-19
		LX240T			RU.СЖАН.33500-20
		LX365T			RU.СЖАН.33500-21
		SX315T			RU.СЖАН.33500-22
SAMC-717	Virtex-6	LX130T	1	ISE 14.6	RU.СЖАН.33500-23
		LX195T			RU.СЖАН.33500-24
		LX240T			RU.СЖАН.33500-25
		LX365T			RU.СЖАН.33500-26
		SX315T			RU.СЖАН.33500-27
SVP-713	Virtex-6	LX130T-1	1	ISE 14.6	RU.СЖАН.33500-28
		LX130T-2			RU.СЖАН.33500-29
		LX195T-1			RU.СЖАН.33500-30
		LX195T-2			RU.СЖАН.33500-31
		LX240T-1			RU.СЖАН.33500-32
		LX240T-2			RU.СЖАН.33500-33
		SX315T-1			RU.СЖАН.33500-34
		SX315T-2			RU.СЖАН.33500-35
		LX365T-1			RU.СЖАН.33500-36
		LX365T-2			RU.СЖАН.33500-37
SVP-723	Virtex-7	VX330T-1	1	Vivado 2014.2	RU.СЖАН.33500-38
		VX330T-2			RU.СЖАН.33500-40
		VX485T-1			RU.СЖАН.33500-42
		VX485T-2			RU.СЖАН.33500-44
		VX690T-1			RU.СЖАН.33500-46
		VX690T-2			RU.СЖАН.33500-48
		VX330T-1	2		RU.СЖАН.33500-39
		VX330T-2			RU.СЖАН.33500-41
		VX485T-1			RU.СЖАН.33500-43
		VX485T-2			RU.СЖАН.33500-45
		VX690T-1			RU.СЖАН.33500-47
		VX690T-2			RU.СЖАН.33500-49

Продолжение таблицы на следующей странице

Продолжение таблицы А-1

Название	FPGA микросхемы Xilinx			Среда разработки	Код заказа
	Семейство	Тип	Порядковый номер		
SVP-726	Virtex-7	VX690T-1	1	Vivado 2014.2	RU.СЖАН.33500-01
		VX690T-2			RU.СЖАН.33500-07
		VX980T-1			RU.СЖАН.33500-03
		VX980T-2			RU.СЖАН.33500-09
		VX1140T-1			RU.СЖАН.33500-05
		VX1140T-2			RU.СЖАН.33500-11
		VX690T-1	2		RU.СЖАН.33500-02
		VX690T-2			RU.СЖАН.33500-08
		VX980T-1			RU.СЖАН.33500-04
		VX980T-2			RU.СЖАН.33500-10
		VX1140T-1			RU.СЖАН.33500-06
		VX1140T-2			RU.СЖАН.33500-12

Приложение Б **Список IP-ядер, входящих в состав платформы**

Входящие в состав аппаратной платформы «Core-0» IP-ядра различаются в зависимости от семейства используемой FPGA микросхемы, поэтому перед работой необходимо ознакомиться с приведенной ниже таблицей.

Таблица Б-1: Список инфраструктур IP-ядер, входящих в состав аппаратной платформы «Core-0»

Название инфраструктуры IP-ядер	Семейство FPGA микросхемы Xilinx	Ссылка
«Microprocessor Based System on MicroBlaze»	Virtex-6	Приложение В, таблица В-1 документа [3]
	Virtex-7	Приложение В, таблица В-2 документа [3]
«Поддержка PCI Express»	Virtex-6	Приложение В, таблица В-1 документа [4]
	Virtex-7	Приложение В, таблица В-2 документа [4]

Приложение В Занимаемые ресурсы в FPGA микросхеме

Таблица В-1: Ресурсы для инфраструктур IP-ядер, входящих в состав аппаратной платформы «Core-0»

Название инфраструктуры IP-ядер	Virtex-6				Virtex-7			
	Slice	Registers	LUTs	BRAM	Slice	Registers	LUTs	BRAM
«Microprocessor Based System on MicroBlaze»	4977	9073	10155	22	6544	17665	16503	78
«Поддержка PCI Express»	11499	25445	26413	25	13978	28658	38396	24
Итого	16476	34518	37568	47	20522	46323	54899	102

Список литературы

1. Инфраструктура IP-ядер «Микропроцессорная система на MicroBlaze». Техническое описание. [DS-IP-IS-MBS](#) (цит. на с. 6).
2. Инфраструктура IP-ядер «Поддержка PCI Express». Техническое описание. [DS-IP-IS-PCI-E](#) (цит. на с. 6).
3. Инфраструктура IP-ядер «Микропроцессорная система на MicroBlaze». Руководство пользователя. [UG-IP-IS-MBS](#) (цит. на с. 6, 10, 11, 20).
4. Инфраструктура IP-ядер «Поддержка PCI Express». Руководство пользователя. [UG-IP-IS-PCI-E](#) (цит. на с. 6, 10, 20).
5. IP-ядро «Конвертер потоков AXI и PCI Express». Техническое описание. [DS-IP-PCI-E](#) (цит. на с. 10).