

SVR-420

 Двухпроцессорный модуль тыльной обработки данных форм-фактора VPX 6U

Основные особенности

- Две высокопроизводительные системы на кристалле — два восьмиядерных цифровых сигнальных процессора (DSP) TMS320C6678 Texas Instruments (TI)
- Производительность обработки данных свыше 640 млрд. операций в секунду над операндами с фиксированной запятой или 320 млрд. операций в секунду с плавающей точкой
- По 64-х разрядному банку памяти DDR3 до 2 Гбайта для каждого процессора
- Модуль форм-фактора VPX 6U, соответствующий стандартам: ANSI/VITA 46.0-2013 (воздушное охлаждение) и ANSI/VITA 46.10-2009 (R2015)
- Поддержка системных интерфейсов: Gigabit Ethernet — 2 шт., SRIO 2.1 x4 — 2 шт.
- Межкристальный интерфейс: HyperLink x4 50 Гбит/с

Обзор модуля

Особенности

Модуль SVR-420 в форм-факторе VPX 6U представляет собой расширительный модуль RTM, предназначенный для дополнительной вычислительной обработки информации, поступающей с межплатных разъёмов VPX P3 и P5 модуля SVP-726 или SVP-721, а также для совместной работы с ним в составе телекоммуникационных систем и систем промышленной автоматизации. В основе модуля SVR-420 лежат два восьмиядерных DSP TMS320C6678 TI. Данные процессоры являются системами на кристалле и объединяют в себе восемь вычислительных ядер C66x и набор аппаратных ядер, включая сопроцессоры аппаратного шифрования и сетевые сопроцессоры.

Управление всем множеством аппаратных ресурсов процессоров организовано посредством архитектуры KeyStone Multicore TI, предоставляющей высокопроизводительный неблокирующий доступ ко всем компонентам процессора, и включающей в себя четыре основных элемента: менеджер пакетов Multicore Navigator с обработкой до 8192 запросов, широкополосную пакетную шину TeraNet с пропускной способностью до 2 Тбит/с, контроллер памяти Multicore Shared Memory Controller с поддержкой прямого доступа аппаратных ядер к общей внутренней памяти, а также контроллер внешней шины HyperLink, позволяющей организовать высокопроизводительный обмен данными (до 50 Гбит/с) с дополнительным внешним процессором, делая его ресурсы прозрачными для запускаемых задач обработки.

Производительность

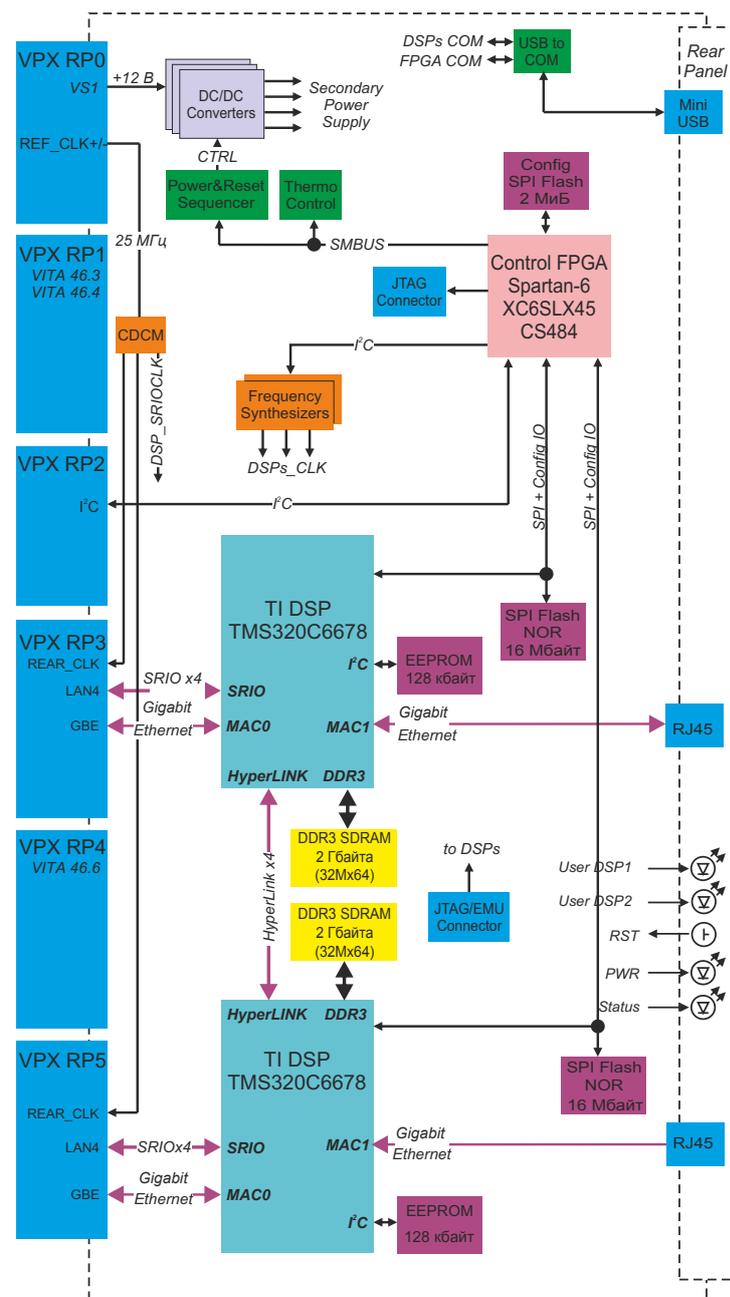
Тактовая частота вычислительных ядер процессоров 1,25 ГГц, суммарная пиковая производительность составляет свыше 640 млрд. операций в секунду над операндами с фиксированной запятой или 470 млрд. операций с плавающей запятой. Столь высокая производительность обработки предопределяет применение модуля для построения высокопроизводительных систем цифровой обработки сигналов в задачах фильтрации, спектральных преобразований, корреляционной обработки.

Интерфейсные возможности модуля включают два низколатентных канала SRIO x4, до 10 Гбит/с каждый и два канала Gigabit Ethernet, выведенные на межплатные разъёмы RTM RP3 (для первого DSP) и RTM RP5 (для второго DSP). Для межпроцессорного обмена реализована высокоскоростная шина HyperLink до 50 Гбит/с.

Области применения

Поддержка модулем ряда системных функций OpenVPX: тактирование и синхронизация через объединительную плату, географическая адресация и т. д., значительно облегчает интеграцию модуля во вновь создаваемые и существующие системы VPX для телекоммуникационных, промышленных и военных применений.

Функциональная блок-схема



Технические характеристики

Программируемая логика

Сервисная FPGA Xilinx Spartan-6 XC6SLX45:

- 6882 ячеек Spartan-6 Slice;
- 116 блоков RAM Xilinx BlockRAM по 18 кбит;
- предназначена для управления процессом конфигурации DSP и синтезаторами частоты, реализации ряда функций IPMI;
- конфигурация из встроенной SPI Flash 16 Мбит.

Вычислительное ядро

Два DSP TMS320C6678 TI:

- восемь ядер на частоте до 1,25 ГГц;
- до 320 млрд. операций в секунду над операндами с фиксированной запятой;
- до 160 млрд. операций с плавающей запятой;
- кэш-память 32 кбайт L1P, 32 кбайт L1D, 512 кбайт L2 на каждое ядро;
- 4 Мбайт разделяемой межпроцессорной памяти (MSMC);
- сетевой сопроцессор с поддержкой алгоритмов аппаратного шифрования ECB, CBCm CTR, F8, A5/3, CCM, GCM, HMAC, CMAC, GMAC, AES, DES, 3DES, Kasumi, SNOW 3G, SHA1/2 (256 бит), MD5 на скоростях до 2,8 Гбит/с для приложений IPsec, SRTP, 3GPP, WiMAX Air и SSL/TLS.

Память

По 64-х разрядному банку памяти DDR3-1333 объёмом до 2 Гбайт на каждом из процессоров

По 16 Мбайт памяти SPI NOR Flash на процессоре

Встроенная I²C EEPROM по 128 кбайт на процессор для первоначальной загрузки

Межпроцессорный интерфейс

HyperLink x4 до 50 Гбит/с

Тактирование

Набор синтезаторов для генерации полной сетки частот тактирования DSP

Схема PLL очистки и умножения опорного тактового сигнала VPX REF_CLK 25 МГц до 250 МГц (тактирование каналов SRIO)

Соответствие стандартам

ANSI/VITA 46.0-2013 VPX Base Standard

ANSI/VITA 46.10-2009 (R2015) Rear Transition Module for VPX

Внешние и отладочные интерфейсы

Два канала SRIO 2.1 x4: порты 0–3 разъёмов RTM RP3 и RP5

Два канала Gigabit Ethernet: порты 11 разъёмов RTM RP3 и RP5

Консольные COM-порты каждого процессора и FPGA с интерфейсом Mini-USB на Rear-панели

Внутренний разъём внешнего эмулятора XDS560

Внутренний разъём JTAG IEEE 1149.1 FPGA

Системные функции

Поддержка шины I²C VPX (линии SM0, SM1) IPMI

Поддержка географической адресации (GA0–GA4)

Задействование сигнала линии REF_CLK 25 МГц VPX для генерации опорного тактирования SRIO

Обработка сигнала системного сброса VPX SYSRESET#

Возможность управления линией сброса SYSRESET#

Встроенный контроль напряжений и тока потребления

Встроенный температурный контроль

Реализация последовательностей включения/выключения напряжений электропитания процессоров

Энергопотребление

Потребляемая мощность модуля тыльного ввода/вывода не более 51 Вт

Распределение потребляемой мощности по линиям питания:

- +12 В: до 4 А (48 Вт);
- +3,3 В_AUX: до 0,3 А (1 Вт).

Условия эксплуатации

Охлаждение: воздушное

Диапазон рабочих температур: коммерческий (0...+50 °C) или промышленный (-40...+85 °C)

Температура хранения: -40...+85 °C

Влажность: 10–95 % без конденсата

Возможность нанесения влагозащитного покрытия для жёстких условий

Размеры

Форм-фактор: VPX 6U

Размеры: 81,5 × 233 мм

Информация для заказа

Программное обеспечение поддержки модуля, а также отладочные кабели в комплект поставки не входят, их приобретение оговаривается отдельно.

Возможна поставка модуля в другом температурном диапазоне по согласованию.



I Установленный DSP Texas Instruments

DSP6678C100: TMS320C6678 с тактовой частотой 1000 МГц

DSP6678C125: TMS320C6678 с тактовой частотой 1250 МГц

II Объем установленной памяти DSP

RDSP1x16Mx64/1333: 1 Гбайт в одном 64-х разрядном банке памяти DDR3-1333

RDSP1x32Mx64/1333: 2 Гбайта в одном 64-х разрядном банке памяти DDR3-1333

III Передняя панель

FP1: Установлена стандартная передняя панель VPX шириной 1"

FP3: Установлена стандартная передняя панель VPX шириной 0,8"

IV Исполнение (температурный диапазон)

T0: Коммерческое (0...+50 °С)

T1: Индустриальное (-40...+85 °С)

V Покрытие

CV0: Без влагозащитного покрытия

CV1: С влагозащитным покрытием

VI Охлаждение

CL0: Воздушное

CL1: Кондуктивное

Пример кода изделия: **SVR-420-DSP6678C100-RDSP1x16Mx64/1333-FP1-T1-CV1-CL0**

SVR-420 — Двухпроцессорный модуль тыльной обработки данных форм-фактора VPX 6U

Установленный DSP Texas Instruments: TMS320C6678 с тактовой частотой 1000 МГц

Объем установленной памяти DSP: 1 Гбайт в одном 64-х разрядном банке памяти DDR3-1333

Передняя панель: Установлена стандартная передняя панель VPX шириной 1"

Исполнение (температурный диапазон): Индустриальное (-40...+85 °С)

Покрытие: С влагозащитным покрытием

Охлаждение: Воздушное

Возможны другие конфигурации модуля по индивидуальному запросу. За дополнительной информацией обращайтесь в SET.

Контактная информация



ЗАО «Скан Инжиниринг Телеком»
Россия, 394030, г. Воронеж, ул. Свободы, 75
Тел.: +7 (473) 272-71-01, факс.: +7 (473) 251-21-99
www.setdsp.ru

Электронная почта:
Отдел продаж: sales@setdsp.ru

ООО «Скан Инжиниринг Телеком - СПб»
Россия, 199106, г. Санкт-Петербург, 22-я линия В.О., д. 3, корп. 1, лит. М.
Тел.: +7 (812) 406-99-95, +7 (812) 406-99-96
www.setdsp.ru

Электронная почта:
Отдел продаж: sales.spb@setdsp.ru

ЗАО «Скан Инжиниринг Телеком». Все права защищены. © 1991–2018
Документ DS-SVR-420 1.1 создан в ООО «Скан Инжиниринг Телеком - СПб». Все права защищены. © 2018