

SVP-733

Модуль цифровой обработки данных на базе FPGA
Xilinx Kintex UltraScale с поддержкой FMC
форм-фактора VPX 3U



Основные особенности

- Высокопроизводительная FPGA Xilinx Kintex UltraScale в корпусе FFVA1517 из ряда XCKU060/085/115 объёмом свыше 1 млн. логических ячеек и числом умножителей свыше 5,5 тысяч
- Четыре независимых 16-ти разрядных банка памяти DDR3 общим объёмом до 2 Гбайт
- Установка субмодуля FMC в соответствии со стандартом ANSI/VITA 57.1-2010 FPGA Mezzanine Card (FMC) Standard с поддержкой HPC интерфейса, включая 8 дуплексных линий MGT
- Модуль форм-фактора VPX 3U, соответствующий стандартам: ANSI/VITA 46.0-2013 (воздушное охлаждение) ANSI/VITA 46.3-2012, ANSI/VITA 46.4-2012, ANSI/VITA 46.6-2013, ANSI/VITA 57.1-2010 и ANSI/VITA 65-2010 (R2012)
- Поддержка системных интерфейсов: PCI Express, Gigabit Ethernet, Serial RapidIO, Aurora
- Поддержка тыльного модуля ввода/вывода: MGT и LVDS/LVCMOS
- Исполнение с воздушным и кондуктивным охлаждением

Обзор модуля

Особенности

Модуль SVP-733 сочетает богатые возможности цифровой обработки сигналов на базе микросхемы программируемой логики Kintex UltraScale Xilinx, широкие интерфейсные возможности с применением последовательных высокоскоростных интерфейсов на базе трансиверов MGT Xilinx и значительный объём памяти DDR3 в четырех независимых банках. Реализованная поддержка установки submodule FMC стандарта ANSI/VITA 57.1-2010 FPGA Mezzanine Card (FMC) Standard позволяет гибко организовать ввод/вывод необходимых пользователю сигналов, включая аналоговые (с использованием submodule АЦП/ЦАП), оптические (со скоростями до 10 Гбит/с, до 8-ми каналов) и цифровые (буферизованный ТТЛ 48 линий, M-LVDS, RS-422/485).

Модуль SVP-733 предназначен для приложений, требующих предельно высокую производительность цифровой обработки данных в реальном времени: фильтрации, спектральных преобразований, корреляционной обработки, кодирования/декодирования, работы с пакетами и т. д. Пиковая производительность обработки операций на целочисленных операциях умножить-аккумулировать достигает 3300 млрд./с (XCKU115: 5520 умножителей 27 × 18 бит, аккумулятор 48 бит, 600 МГц), а суммарная производительность обмена с памятью DDR3 составляет свыше 12 Гбайт/с (четыре 16-ти разрядных банка по 512 Мбайт каждый).

Производительность

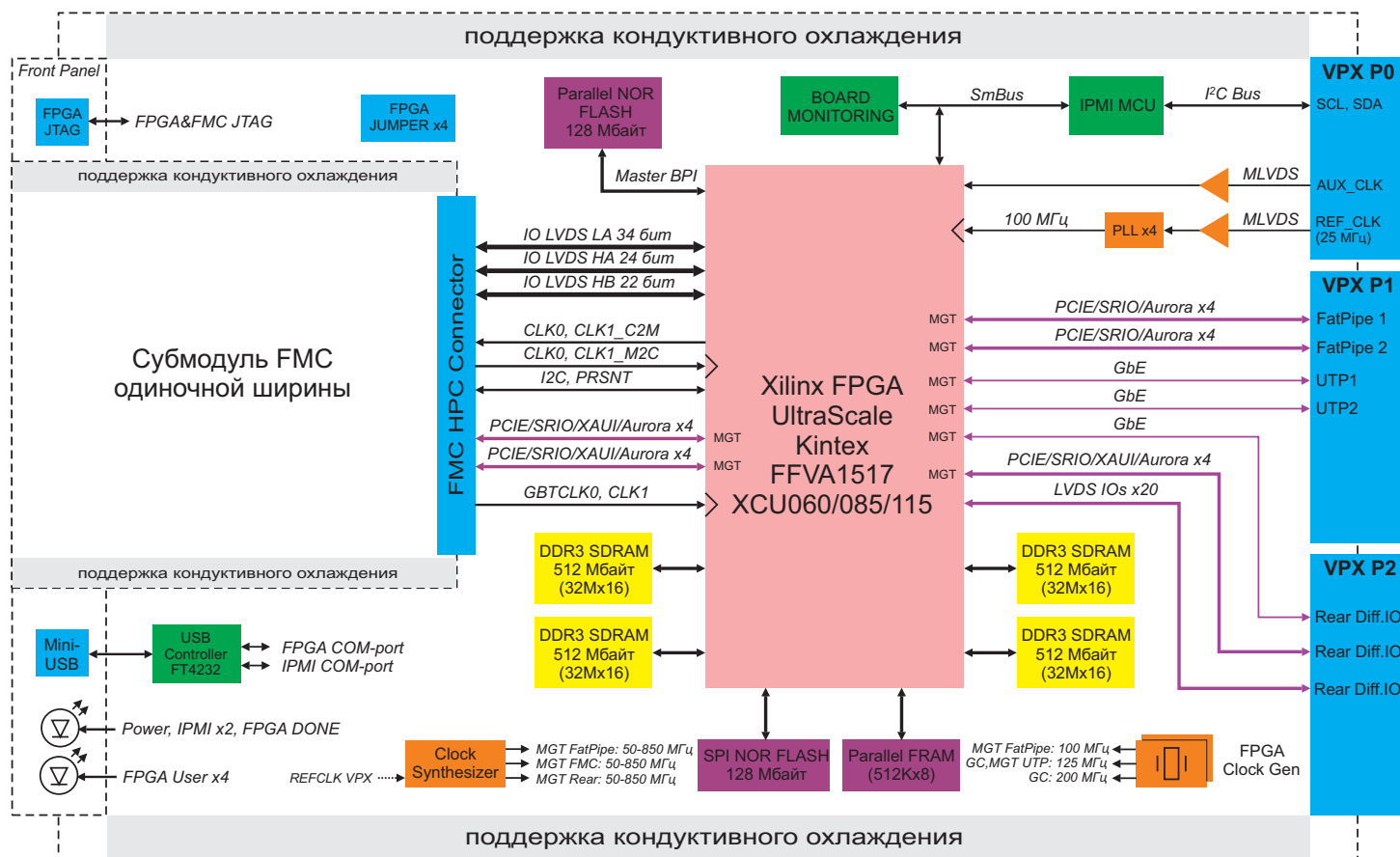
Наряду с высокой производительностью модуль предоставляет широкие возможности в части организации системных интерфейсов: поддерживаются два канала Fat Pipe LAN4 PCIe/SRIO/Aurora (IP-ядра, за исключением PCIe), а также два канала Gigabit Ethernet через UTP 1 и 2 (IP-ядра), которые в зависимости от используемых коммутаторов и объединительных плат могут сочлаться между собой в различных комбинациях. Кроме того, реализована поддержка модуля тыльного ввода/вывода через разъём VPX P2 посредством четырех пар MGT 10 Гбит/с и 20-ти пар LVDS (с возможностью обмена в КМОП).

Пропускная способность интерфейса модуля с submodule FMC достигает 80 Гбит/с через шины LVDS и 80 Гбит/с на приём/передачу через каналы MGT (8 полнодуплексных линий). Ввиду стандартизованного интерфейса FMC обеспечивается поддержка широкого ряда submodule FMC как производства ЗАО «Скан Инжиниринг Телеком», так и сторонних производителей.

Области применения

Поддержка модулем ряда системных функций OpenVPX: тактирование и синхронизация через объединительную плату, географическая адресация и т. д., значительно облегчает интеграцию модуля во вновь создаваемые и существующие системы VPX для телекоммуникационных, промышленных и военных применений.

Функциональная блок-схема



Технические характеристики

Программируемая логика

FPGA Xilinx Kintex UltraScale из ряда XSKU060/085/115:

- свыше 1,1 млн. логических ячеек;
- до 5520 блоков умножения с накоплением;
- до 2160 блоков RAM Xilinx BlockRAM по 36 кбит;
- 24 узла тактирования CMT (1 MMCM+2 PLL);
- шесть аппаратных ядер PCI Express 3.0 до x8.

Память

Четыре независимых 16-ти разрядных банка памяти DDR3-1600 общим объемом до 2 Гбайт

Пользовательская память SPI NOR Flash 128 Мбит

Конфигурационная память 16-бит NOR Flash 16 Мбайт, чтение до 160 Мбайт/с, хранение до 4-х файлов конфигурации для XSKU060/085 и двух файлов для XSKU115

Тактирование

Опорные кварцевые генераторы:

- 100 МГц (MGT интерфейсов FatPipe1, 2 VPX);
- 125 МГц (MGT интерфейсов Gigabit Ethernet + глобальный такт FPGA);
- 200 МГц (глобальный такт FPGA)

Синтезатор частоты тактирования MGT интерфейсов FatPipe1, 2 на разъеме VPX P1, REAR на разъеме VPX P2, MGT FMC с возможностью синхронизации сигналом REF_CLK VPX. Реализован ввод сигнала REF_CLK VPX в FPGA с умножением на четыре

Приём сигнала AUX_CLK VPX в FPGA модуля

Разъёмы VPX

Разъём P0:

- поддержка I²C по линиям SCL, SDA;
- сигналы тактирования REF_CLK для MGT и FPGA;
- сигналы тактирования AUX_CLK ко входу GCK FPGA;
- поддержка географической адресации (GA0–GA4);
- обработка сигнала системного сброса SYSRESET#.

Разъём P1:

- реализация FP1 и 2 по LAN4 (пластины 1–4, 5–8):
 - до двух каналов PCI Express x1/x2/x4 1.0/2.0/3.0 (аппаратные ядра PCI Express + MGT);
 - до двух каналов Serial RapidIO x1/x4 до 3,125 Гбит/с (программные IP-ядра Xilinx + MGT).
Программные IP-ядра Xilinx в комплект поставки не входят и приобретаются дополнительно
 - реализация UTP1 и 2 LAN1 (пластины 15 и 16);
 - Поддержка Gigabit Ethernet (IP-ядра Xilinx + MGT);
Программные IP-ядра Xilinx в комплект поставки не входят и приобретаются дополнительно
- Подключение линии REF_CLK_SE ко входу тактирования FPGA.

Разъём P2:

- четыре полнодуплексных пары MGT, до 10 Гбит/с в паре, конфигурируемые в проекте FPGA для поддержки интерфейсов:
Программные IP-ядра Xilinx в комплект поставки не входят и приобретаются дополнительно
 - PCI Express x4;
 - Serial RapidIO x4;
 - Aurora x4;
 - XAUI x4.
- полнодуплексная пара MGT для поддержки Gigabit Ethernet для тыльного модуля (IP-ядро Xilinx + MGT);
Программные IP-ядра Xilinx в комплект поставки не входят и приобретаются дополнительно
- 20 двунаправленных пары LVDS с пропускной способностью пары до 1 Гбит/с или 48 линий КМОП до 100 МГц (40 — из состава пар LVDS + 8 резервных).

Соответствие стандартам

ANSI/VITA 46.0-2013 VPX Base Standard

ANSI/VITA 46.3-2012 Serial RapidIO on VPX Fabric Connector

ANSI/VITA 46.4-2012 PCI Express on the VPX Fabric Connector

ANSI/VITA 46.6-2013 Gigabit Ethernet Control Plane on VPX

ANSI/VITA 57.1-2010 FPGA Mezzanine Card (FMC) Standard

ANSI/VITA 65-2010 (R2012) OpenVPX System Standard

Разъём FMC

Поддержка установки мезонинного субмодуля FMC одиночной ширины (Single Width) в конструктивах:

- воздушное охлаждение (air cooled commercial);
- кондуктивное охлаждение (conduction cooled).

Стыковочная высота FMC 10 мм

80 пар LVDS на FPGA, до 1 Гбит/с в паре

Поддержка четырех линий глобального тактирования LVDS

8 дуплексных пар MGT до 10 Гбит/с, подключенных к FPGA

Поддержка двух линий тактирования MGT FPGA с FMC

Поддержка JTAG 3,3 В с автоматической коммутацией канала

Поддержка сигналов I²C (IPMI FMC), PRSNT, PowerGood

Соответствие стандарту ANSI/VITA 57.1-2010 FPGA Mezzanine Card (FMC) Standard по требованиям к питающим напряжениям и токам нагрузки субмодулей FMC

Уровень напряжения по линиям VADJ/VIO_B_M2C +1,8 В

Реализация подключения VREF_A/B_M2C к FPGA

Отладочные интерфейсы FPGA

Отладочный COM-порт, выведен на переднюю панель посредством интерфейса USB 2.0

Буферизованный JTAG IEEE 1149.1 на передней панели

Энергопотребление

Потребляемая мощность модуля обработки данных не более 75 Вт (без учета FMC)

Распределение потребляемой мощности по линии питания: +12 В (VS1): до 6,25 А (75 Вт) (при полной нагрузке, без учета FMC)

Условия эксплуатации

Охлаждение: воздушное или кондуктивное

Диапазон рабочих температур: коммерческий (0...+50 °C) или промышленный (-40...+85 °C)

Температура хранения: -50...+85 °C

Влажность:

- до 85 % без влагозащитного покрытия;
- до 98 % с влагозащитным покрытием.

Возможность нанесения влагозащитного покрытия для жестких условий

Размеры

Форм-фактор: VPX 3U в слот 1~

Размеры: 160 × 100 × 25,06 мм

Информация для заказа

Модуль с поддержкой субмодуля FMC HPC/LPC с передней планкой VPX 1~ с вырезом под стандартную планку FMC, с предустановленными четырьмя банками памяти DDR3-1600 SDRAM, объёмом до 512 МиБ каждый. Программное обеспечение поддержки модуля, а также отладочные кабели в комплект поставки не входят, их приобретение оговаривается отдельно.

Возможна поставка модуля в другом температурном диапазоне по согласованию.



I Основная FPGA Xilinx

- FMKU060T-1: XSKU060-1
- FMKU060T-2: XSKU060-2
- FMKU060T-3: XSKU060-3
- FMKU085T-1: XSKU085-1
- FMKU085T-2: XSKU085-2
- FMKU085T-3: XSKU085-3
- FMKU115T-1: XSKU115-1
- FMKU115T-2: XSKU115-2
- FMKU115T-3: XSKU115-3

II Объём установленной памяти FPGA

- RFM4x16Mx16: 1 Гбайт в четырех 16-ти разрядных банках
- RFM4x32Mx16: 2 Гбайта в четырех 16-ти разрядных банках

III Передняя панель

- FP2: Установлена стандартная передняя панель FMC
- FPN: Заказная передняя панель, тип устанавливаемого субмодуля оговаривается при заказе дополнительно

IV Исполнение (температурный диапазон)

- T0: Коммерческое (0...+50 °C)
- T1: Индустриальное (-40...+85 °C)

V Покрытие

- CV0: Без влагозащитного покрытия
- CV1: С влагозащитным покрытием

VI Охлаждение

- Производительность воздушного охлаждения не менее 25 м³/час.
- CL0: Воздушное
- CL1: Кондуктивное

Пример кода изделия: **SVP-733-FMKU115T-3-RFM4x32Mx16-FP2-T1-CV1-CL1**

SVP-733 — Модуль цифровой обработки данных на базе FPGA Xilinx Kintex UltraScale с поддержкой FMC форм-фактора VPX 3U
Основная FPGA Xilinx: XSKU115-3
Объём установленной памяти FPGA: 2 Гбайта в четырех 16-ти разрядных банках
Передняя панель: Установлена стандартная передняя панель FMC
Исполнение (температурный диапазон): Индустриальное (-40...+85 °C)
Покрытие: С влагозащитным покрытием
Охлаждение: Кондуктивное

Возможны другие конфигурации модуля по индивидуальному запросу. За дополнительной информацией обращайтесь в SET.

Контактная информация



ЗАО «Скан Инжиниринг Телеком»
 Россия, 394030, г. Воронеж, ул. Свободы, 75
 Тел.: +7 (473) 272-71-01, факс.: +7 (473) 251-21-99
www.setdsp.ru

Электронная почта:
 Отдел продаж: sales@setdsp.ru

ООО «Скан Инжиниринг Телеком - СПб»
 Россия, 199106, г. Санкт-Петербург, 22-я линия В.О., д. 3, корп. 1, лит. М.
 Тел.: +7 (812) 406-99-95, +7 (812) 406-99-96
www.setdsp.ru

Электронная почта:
 Отдел продаж: sales.spb@setdsp.ru

ЗАО «Скан Инжиниринг Телеком». Все права защищены. © 1991–2018
 Документ DS-SVP-733 1.1 создан в ООО «Скан Инжиниринг Телеком - СПб». Все права защищены. © 2018