

## Введение

IP-ядро «Конвертер потоков AXI и PCIe (PCI Express)» является конвертером потоков данных, проходящих между интерфейсами AXI4 и PCIe.

IP-ядро позволяет использовать интегрированный в FPGA микросхемы фирмы Xilinx семейства Virtex-7 (серии XT и HT, за исключением XC7VX485T) аппаратный блок PCIe. Применение IP-ядра в качестве строительного блока в решениях, реализуемых на базе FPGA модулей производства ЗАО «Скан Инжиниринг Телеком» позволяет обеспечить полную пропускную способность, масштабируемость и надежность необходимой конфигурации PCIe.

## Возможности

- Поддержка интегрированного блока PCIe для Virtex-7 серии XT и HT (за исключением XC7VX485T)
- PCIe 1.0 и 2.0 x1, x2, x4
- PCIe режим «Endpoint»
- Поддержка MPS (Maximum Payload Size) до 1024 байт
- Поддержка прерываний Multiple Vector MSI (Message Signaled Interrupts)
- Поддержка стандартных прерываний «Legacy interrupt»
- Режим доступа к данным через отображаемую память из адресного пространства AXI в пространство PCIe
- Режим доступа к данным через отображаемую память из адресного пространства PCIe в пространство AXI
- Обработка пакетов TLP (Transaction Layer Packet)
- Обнаружение и уведомление о возникновении ошибок через прерывания
- Поддержка высокой производительности AXI4 каналов для 64-х или 128-и битной разрядности шины данных
- Поддержка до 3-х входящих PCIe 32-х битных или 64-х битных BAR (Base Address Register)
- Поддержка до 32-х исходящих BAR-ов в PCIe с возможностью динамической смены трансляции адресов и размеров окон
- Конвейер одновременной трансляции запросов пакетов с данными (из BAR в AXI на запись — 4, на чтение — 4; из AXI в PCIe на запись — 2, на чтение — 8)
- Поддержка пакетов «Hot Reset»

## Данные IP-ядра

Особенности IP-ядра	
Семейства поддерживаемых FPGA	Xilinx Virtex-7 XT и HT (за исключением XC7VX485T)
Поддерживаемые модули ЗАО «Скан Инжиниринг Телеком»	SVP-723/726
Поддерживаемые пользовательские интерфейсы	AXI4
Производительность	См. таблицу 1
Ресурсы	См. таблицу 2
Обеспечение ядра	
Файлы проекта	VHDL, Verilog
Пример проекта	Vivado 2014.4
Тестирование	VHDL, Verilog
Файлы настройки	XDC
Поддержка программных драйверов	Linux, Windows XP/7/8
Поддержка	
Обеспечивается SET <a href="http://www.setdsp.ru/support">www.setdsp.ru/support</a>	

## Обзор

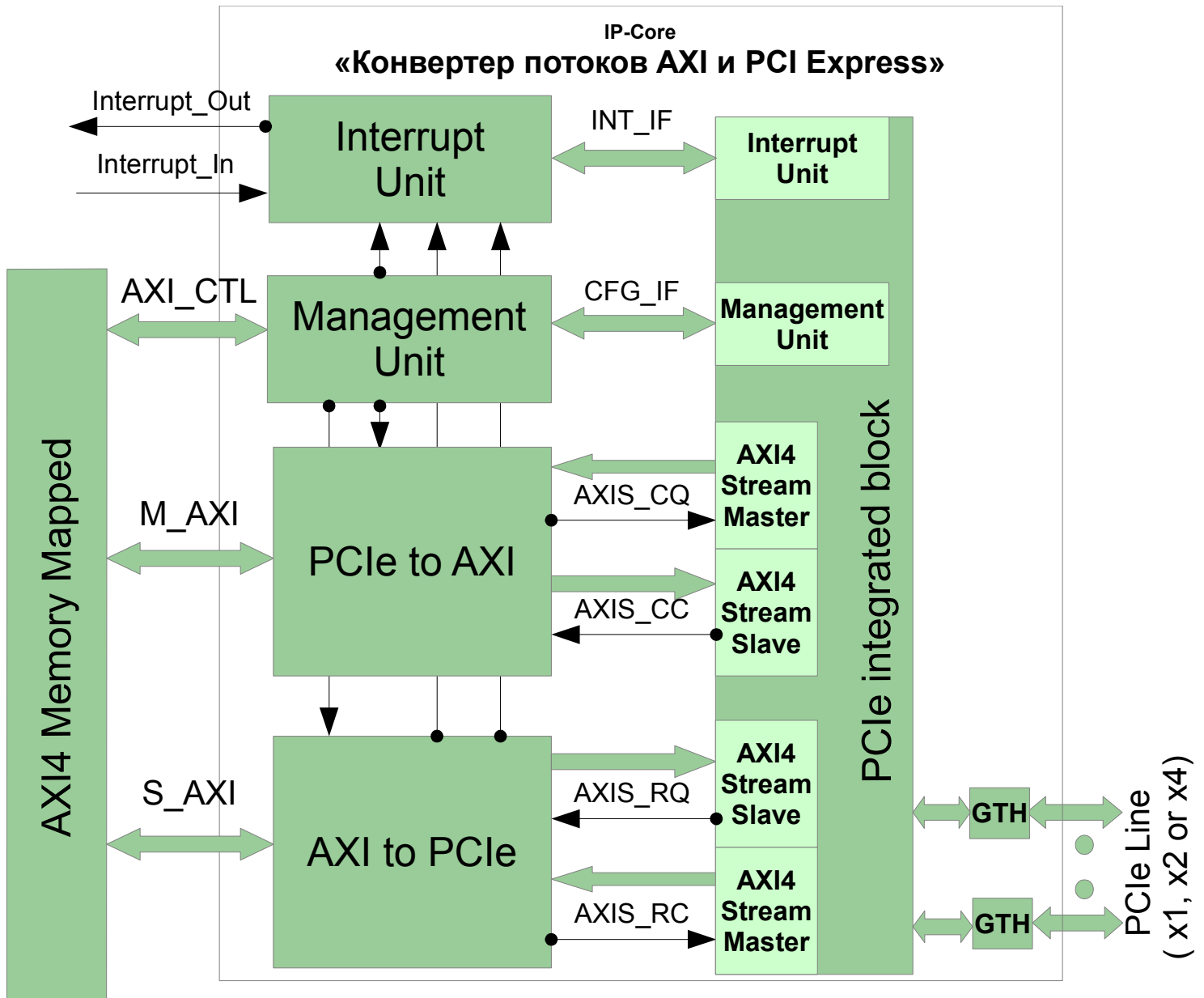
IP-ядро «Конвертер потоков AXI и PCIe» разработано в среде Xilinx Vivado Design Suite. Конвертер позволяет построить связь между пользовательскими интерфейсами AXI4 и интегрированным в FPGA аппаратным блоком PCIe. Конвертер обеспечивает трансляцию потоков данных между встраиваемой системой с поддержкой режима AXI4 отображаемой памяти и PCIe системой. Архитектура конвертера приведена на функциональной блок-схеме.

Модули преобразования данных «PCIe to AXI» и «AXI to PCIe» подключаются к интегрированному блоку PCIe посредством AMBA (Advanced Microcontroller Bus Architecture) AXI4-Stream интерфейсов. При приёме или передаче данных в PCIe, конвертер обрабатывает пакеты TLP, формируя или удаляя заголовки этих пакетов, производит трансляцию адресов в обоих направлениях, а также, в случае необходимости, фрагментирует передаваемые данные из AXI-пакетов (от 4-х до 4096 байт) и объединяет принимаемые данные из TLP-пакетов (от 4-х до 1024 байт).

Реализация конвертера, используя буферы и конвейеризацию данных, механизмы отложенных транзакций AXI шины, высокоэффективный арбитраж запросов чтения и записи, стремится к достижению максимальной утилизации пропускной способности каналов PCIe. При переносе потоков данных, их потеря предотвращается использованием механизмов «Flow Control» в принимающем и передающем направлениях. Модули управления «Management Unit» и обработки прерываний «Interrupt Unit» предоставляют дополнительные функциональные возможности.

Интерфейс подключения IP-ядра «Конвертер потоков AXI и PCIe» к AXI4 структурам соответствует AMBA совместимым AXI4 спецификациям.

## Функциональная блок-схема



## Основные особенности

Интегрированный в FPGA аппаратный блок PCIe используется в режиме «Endpoint». Используемые для подключения к линиям PCIe GTN трансиверы поддерживают подключения в режимах по 1, 2 и 4 линиям, со скоростями 2,5 GT/s (PCIe 1.0) или 5,0 GT/s (PCIe 2.0).

Конфигурирование подключения между интегрированным аппаратным блоком PCIe и GTN трансиверами осуществляется в среде Xilinx Vivado Design Suite с помощью настроек самого аппаратного блока PCIe. Режимы работы линий PCIe задаются установкой необходимых параметров в настройках самого конвертера потоков.

Интегрированный в FPGA аппаратный блок PCIe:

- совместимость с «PCIe Base Specification, Revision 3.0»;
- совместимость с «Conventional PCI software model»;
- совместимость с «PCIe power management functions»;
- используемый режим работы «Endpoint»;
- MPS до 1024 байт.

GTN трансиверы:

- линейная скорость: 2,5 GT/s или 5,0 GT/s;
- объединение линий: x1, x2 или x4.

Параметры пользовательского интерфейса:

- рабочая частота AXI интерфейсов 125 МГц;
- разрядность M\_AXI и S\_AXI интерфейсов 64 бита (для PCIe с пропускной способностью не более 10,0 GT/s) или 128 бит (для PCIe с пропускной способностью не более 20,0 GT/s);
- разрядность AXI\_CTL интерфейса 32 бита;
- поддержка прерываний Legasy и MSI;
- 3 входящих от PCIe и 32 входящих от AXI4 окон памяти (BAR-ов);
- динамическое изменение трансляции адресов входящих от AXI4 окон памяти (BAR-ов) и их размеров;
- максимальное использование пропускной способности линий интерфейса PCIe.

Таблица 1: Производительность конвертера при использовании для передачи данных в «Root Complex» IP-ядром Xilinx CDMA

S_AXI 4096 байт	Запись	Чтение
PCIe 1.0 x4 TLP 128 байт	800 Мб/с	760 Мб/с
PCIe 2.0 x4 TLP 128 байт	1520 Мб/с	1450 Мб/с

Таблица 2: Требуемые ресурсы для проекта на XC7VX690T (SVP-726/723)

	Slices	Registers	LUTs	Block RAM
PCIe 1.0 x4	5900	19200	17500	22
PCIe 2.0 x4	6700	21200	18500	26

## Ограничения

Не поддерживается PCIe режим «Root Complex».

Не поддерживается динамическая смена трансляции адресов входящих от PCIe окон памяти (BAR-ов).

Использование линий PCIe в режиме PCIe 2.0 (5.0 GT/s) x4 возможно только для FPGA микросхем с индексами производительности 2 и 3.

## Лицензирование и информация для заказа

По вопросам приобретения и использования IP-ядра «Конвертер потоков AXI и PCIe» обращайтесь в отдел продаж компании ЗАО «Скан Инжиниринг Телеком» по адресу [sales@setdsp.ru](mailto:sales@setdsp.ru).

## Контактная информация



ЗАО «Скан Инжиниринг Телеком», Россия, 394030, г. Воронеж, ул. Свободы, 75  
Тел.: +7 (473) 272-71-01, факс.: +7 (473) 251-21-99  
[www.setdsp.ru](http://www.setdsp.ru)

### Электронная почта:

Отдел продаж: [sales@setdsp.ru](mailto:sales@setdsp.ru)  
Техническая поддержка: [support@setdsp.ru](mailto:support@setdsp.ru)

ЗАО «Скан Инжиниринг Телеком». Все права защищены. © 1991–2015  
Документ DS-IP-PCI-E 1.0 (11 июня 2015 г.) создан в ООО «Скан Инжиниринг Телеком - СПб». Все права защищены. © 2015